

(19)



JAPANESE PATENT OFFICE

JCS21 U.S. PTO
09/695992
10/26/00

PATENT ABSTRACTS OF JAPAN

(11) Publication number: **02060770 A**(43) Date of publication of application: **01 . 03 . 90**

(51) Int. Cl

B41J 2/52
G06F 15/68
H04N 1/40

(21) Application number: **63212386**(22) Date of filing: **29 . 08 . 88**(71) Applicant: **CANON INC**

(72) Inventor: **KATAYAMA AKIHIRO**
OSAWA HIDESHI

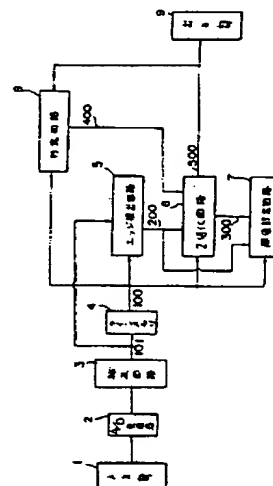
(54) **IMAGE PROCESSING SYSTEM**

COPYRIGHT: (C)1990,JPO&Japio

(57) Abstract:

PURPOSE: To prevent the generation of pick part and a granular feeling in a low-density part by a method wherein one of a variable threshold according to a density value of target pixel data and a fixed threshold is selected to generate binary output pixel data for the target pixel data.

CONSTITUTION: An edge detection circuit 5 detects whether a target pixel is on an edge from a relation between the target pixel and surrounding pixels and outputs a signal corresponding to the judged result to a signal line 200. An threshold set circuit 7 sets a threshold according to corrected data outputted on a data line 100 and the edge detection signal and outputs the set threshold to a data line 300. Then, a binarizing circuit 6 binarizes the data of a target pixel on the basis of the edge detection signal on the signal line 200, the threshold issued from the threshold set circuit 7, and a signal on a signal line 400 and outputs the result on a signal line 500. Then, based on the signal '1' or '0' outputted on the signal line 500, an output part 9 forms a visible image.



(19) 日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11) 特許番号

第2755307号

(45) 発行日 平成10年(1998) 5月20日

(24) 登録日 平成10年(1998) 3月6日

(51) Int.Cl.⁸

識別記号

F I

B 4 1 J 2/52

B 4 1 J 3/00

A

G 0 6 T 5/00

H 0 4 N 1/40

1 0 3 A

H 0 4 N 1/403

G 0 6 F 15/68

3 2 0 A

請求項の数 1 (全 17 頁)

(21) 出願番号 特願昭63-212386

(22) 出願日 昭和63年(1988) 8月29日

(65) 公開番号 特開平2-60770

(43) 公開日 平成2年(1990) 3月1日

審査請求日 平成7年(1995) 7月31日

(73) 特許権者 999999999

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72) 発明者 片山 昭宏

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(72) 発明者 大沢 秀史

東京都大田区下丸子3丁目30番2号 キ

ヤノン株式会社内

(74) 代理人 弁理士 大塚 康徳 (外1名)

審査官 芝 哲央

(56) 参考文献 特開 昭61-237574 (J P, A)

特開 昭63-164570 (J P, A)

特開 昭63-169174 (J P, A)

特開 平2-60771 (J P, A)

(54) 【発明の名称】 画像処理装置

1

(57) 【特許請求の範囲】

【請求項1】 画像濃度を表わす画像データを入力する入力手段と、

入力手段で入力した画像データから注目画素の画像データがエッジに依存するか否かを判別するエッジ判別手段と、

入力した画像データの画像濃度レベルに応じた変動閾値及び固定閾値を発生する閾値発生手段と、

前記エッジ判別手段が注目画素の画像データがエッジに依存すると判別した場合には前記固定閾値を選択し、また、エッジに依存しないと判別した場合には前記変動閾値を選択する選択手段と、

該選択手段により選択された閾値により入力画像データを2値データに2値化処理する2値化手段と、
該2値化手段の2値化処理によって発生する入出力濃度

2

間の誤差データを補正する補正手段と、

前記2値化手段の2値化結果を出力する出力手段とを有し、

前記閾値発生手段は、変動閾値として入力画像データの画像濃度レベルが低い場合に、低レベルの閾値を入力画像濃度レベルに応じた確率で発生することを特徴とする画像処理装置。

【発明の詳細な説明】

【発明の属する分野】

10 本発明は画像処理装置、詳しくは誤差拡散法に基づいて出力画素データを生成する画像処理装置に関するものである。

【従来技術】

従来より、デジタルプリンタ、デジタルファクシミリ等の像形成部で中間調を再現するために用いられる常套

手段として、デイズ処理が挙げられる。

通常、デイズ処理では $m \times n$ のデイズマトリクスを用意し、各々のマトリクス要素中の閾値と比較し $m \times n$ の2値化ブロックを形成する。これによつて、疑似的に中間調画像を再現するものである。

ところが、この手法で再現できる階調数はデイズマトリクスのマトリクス要素数に制限されてしまい、例えば16階調（ 4×4 デイズマトリクス等）である場合には、出力画像中に疑似輪郭が発生してしまうことがあつて、良好な出力画像を得ることはできないという問題がある。

これに対して、最近、特に注目されている手法として誤差拡散法がある。

これは1975年にFloydとSteinbergにより“An Adaptive Algorithm for Special GrayScale”SID DIGESTという論文のなかで提案されたもので、解像度・階調共にデイズ法よりも優れた手法である。

〔発明が解決しようとする課題〕

しかしながら、この誤差拡散法では、処理始めの画像濃度に低い部分がある場合にはドットが打たれず白く抜けるという現象が発生してしまうという欠点があると共に、エッジ部付近の低濃度部においても同様の事が発生していた。

これに対して、誤差を拡散するときの基盤となる閾値を変動させるようにすることも考えられるが、エッジ部、特に文字や線画等の周辺のドットがノッチとなつてしまい、文字及び線画品位を著しく低下させていた。更には、一様な低濃度部ではドットが打たれず、再生画像に目障りな粒状感が現れてしまうという問題も発生する。

本発明は上述した従来技術に鑑みなされたものであり、2値化処理によって発生する入出力濃度間の誤差データを補正しながら入力画像データを2値化することにより、階調性及び解像度共に優れた画像を得ることができると共に、2値化のための閾値を、エッジ部以外では入力画像データのレベルが低い場合に低い閾値を発生しやすい変動閾値とすることにより、画像濃度の低い部分でドットが打たれずに白く抜ける減少を防止し、エッジ部では固定閾値とすることで文字部でのノッチの発生を防止することができる画像処理装置を提供しようとするものである。

〔課題を解決するための手段及び作用〕

この課題を解決するために本発明は以下に示す構成を備える。

すなわち、

画像濃度を表わす画像データを入力する入力手段と、
入力手段で入力した画像データから注目画素の画像データがエッジに依存するか否かを判別するエッジ判別手段と、

入力した画像データの画像濃度レベルに応じた変動閾

値及び固定閾値を発生する閾値発生手段と、

前記エッジ判別手段が注目画素の画像データがエッジに依存すると判別した場合には前記固定閾値を選択し、また、エッジに依存しないと判別した場合には前記変動閾値を選択する選択手段と、

該選択手段により選択された閾値により入力画像データを2値データに2値化処理する2値化手段と、

該2値化手段の2値化処理によって発生する入出力濃度間の誤差データを補正する補正手段と、

10 前記2値化手段の2値化結果を出力する出力手段とを有し、

前記閾値発生手段は、変動閾値として入力画像データの画像濃度レベルが低い場合に、低レベルの閾値を入力画像濃度レベルに応じた確率で発生することを特徴とする。

〔実施例〕

以下、添付図面に従つて、本発明に係る実施例を詳細に説明する。尚、実施例では複写機を例にして説明する。

20 <構成概略の説明（第1図）>

第1図は本実施例における複写機のブロック構成図である。

以下、個々の構成要素をその処理順序に従つて説明する。

CCD等の光電変換素子及びこれを走査する駆動系から構成される入力部1でもつて読み取られた画像は、次のA/D変換器2によつて濃度に対応した電圧レベル信号から8ビットのデジタルデータ（256階調）に変換され、量子化される。そして、この変換後のデジタルデータは、入力部1のセンサの感度ムラや照明系の照明ムラ等による入力データをシェーディング補正するため、補正回路3に入力され補正される。

30

補正後のデータ（8ビットデジタルデータ）はデータ線101を介してラインメモリ（FIFO）4とエッジ検出回路5に出力される。尚、ラインメモリ4はエッジ検出回路5、2値化回路6、閾値設定回路7とのタイミングをとるための遅延用である。

さて、エッジ検出回路5は、注目画素とその周囲の画素との間から、その注目画素がエッジにあるか否かを検出し、その判定結果に対応する信号を信号線200に出力する。また、閾値設定回路7はデータ線100上に出力された補正済みデータとエッジ検出信号に応じた閾値を設定し、その設定した閾値をデータ線300に出力する。そして、2値化回路6は注目画素のデータ（ラインメモリ4よりのデータ）を、信号線200上のエッジ検出信号と閾値設定回路7より出力されてきた閾値（データ線201）、そして後述する信号線400上の信号に基づいて2値化し、その結果を信号線500上に出力する。この信号線500に出力された“1”か“0”の信号に基づいて出力部9（レーザビームプリンタやインクジェットプリンタ等）

40

50

が可視画像を形成することになるが、この信号線500の信号は判定回路8にも供給されている。

判定回路8は2値化回路6から出力された信号(信号線500)とラインメモリ4から出力された補正済データに基づいて、注目画素周辺の既に2値化された領域を参照してその中にオン(“1”)になっているドットが存在するか否かを判定し、その判定結果を信号線400上に出し、2値化回路6にフィードバックする。

以上の構成からなる本実施例の複写機のエッジ検出回路5〜判定回路8の詳細を以下に示す。尚、補正回路3のルックアップテーブルを内蔵したROMでもって容易になされるので、説明は省略する。

＜エッジ検出回路の説明(第2図〜第4図)＞

第2図に実施例におけるエッジ検出回路5の具体的な構成例を示し、以下、第3図を用いて説明する。

画像のエッジ部とは、濃度が低い部分から高い部分、或いは高い部分から低い部分へ移るときの傾きが急峻である場合と判断して良い。換言すれば、注目画素がエッジ部近傍にあるか否かの検出は、注目画素付近の画素群の濃度差が大きいかな否かを検出すれば良い。

そこで、実施例では第3図に示す様に、注目画素(図中の“*”印)位置の濃度を画素(i,j)としたとき、

$$\begin{aligned} & | \text{画素}(i,j) - \text{画素}(i+1,j) | \quad \cdots \textcircled{1} \\ & | \text{画素}(i,j) - \text{画素}(i-1,j+1) | \quad \cdots \textcircled{2} \\ & | \text{画素}(i,j) - \text{画素}(i,j+1) | \quad \cdots \textcircled{3} \\ & | \text{画素}(i,j) - \text{画素}(i+1,j+1) | \quad \cdots \textcircled{4} \end{aligned}$$

を算出し(但し、|…|は絶対値を示す)、これらの中の最も大きい値が予め設定された閾値Tより大きいときに、注目画素はエッジ部になると判断する様にした。

第2図を用いて説明すれば、フリップフロップ10a〜10eにはそれぞれ画素位置として、(i,j)、(i+1,j)、(i-1,j+1)、(i,j+1)、(i+1,j+1)のデータがラッチされ、減算器11a〜11dで先に示した式①〜④中の減算をし、絶対値回路12a〜12dで各々の絶対値を得る。そして続く最大値検出回路13でそれらの最大値を検出し、比較器14で閾値T(実施ではこの値を“50”)としていると比較することで達成される。そして、比較器14は、最大値検出回路13から出力された値が閾値Tより大きいときに(エッジ部のときに)、その出力信号200に“1”、そうでないときに(非エッジ部のときに)“0”を出力する。

以上の構成で処理を行うことにより、注目画素とその周囲の画素との間のエッジを検出することができる。

尚、詳細は後述するが、本実施例における誤差拡散処理では、誤差拡散する画素位置を注目画素(i,j)としたとき、(i+1,j)、(i-1,j+1)、(i,j+1)、(i+1,j+1)としている。そして、上述した様に、これに対応するように注目画素とその周囲の画素とでエッジを検出した。しかし、これに限定されるものではなく、例えば、第4図に示すように注目画素(i,

j)と周囲の(i-1,j-1)、(i+1,j-1)、(i-1,j+1)、(i+1,j+1)画素とのそれぞれの差分をとってエッジ検出を行ってもよい。尚、第4図の画素位置でもってエッジ部を検出するのであればラインメモリをもう1つ追加(ラインメモリを2つにする)して、タイミングを取る様にすれば達成できる。また、上記に限らずエッジの検出ができるものであればよいので、エッジ検出対象の画素の取り方は第3図や第4図にも限定されるものではない。

10 <2値化回路の説明(第5図、第6図)>

第5図に実施例における2値化回路6の構造の一例を示し、以下にその動作を説明する。

図中、15a〜15dはデータをラッチするフリップフロップ、16a〜16dは加算器、17は1ライン遅延用のラインメモリである。また、18は比較器、19はANDゲート、20は誤差配分制御回路である。

まず、データ線100を介して入力した補正済データ(注目画素位置(i,j)に対応する原画像データ)は画素位置(i,j)に配分される誤差の総和と加算器16dで加算され、その値は比較器18と誤差配分制御回路20に出力される。そして、比較器18においては、データ線355上のデータを閾値設定回路7よりの閾値データ(信号線300)でもって2値化する。尚、この比較器18はデータ線355上のデータを閾値より大きければ“1”、小さければ“0”を信号線311に出力する。さて、次のANDゲート19においては、2値化された信号(信号線311)と判定回路8から出力されてくる信号(信号線400)を論理積がとられ、信号線500を介して出力部9及び誤差配分制御回路20に出力される。

ところで、判定回路8から出力される信号の詳細は後述するが、注目画素の濃度が低く、且つ注目画素周囲の出力部9に出力済み画像群の中に“1(ドット有り)”があるときには“0”、それ以外のときには“1”レベルの状態になる。

さて、誤差配分制御回路20では2値化処理前の信号355と2値信号500の255倍(すなわち、“0”か“255”)した値との差分(誤差)が計算され、その画素の正負とエッジ信号200により周囲の画素に配分する誤差量351〜354を制御する。誤差量信号351〜354は注目画素位置を(i,j)としたとき、(i-1,j+1)、(i,j+1)、(i+1,j+1)、(i+1,j)に既に配分された誤差量と加算器16a〜16dで加算される。またここでは誤差を配分する画素数を注目画素の周囲4画素としているが、周期12画素でもよく上記に限らない。

ここで、誤差配分制御回路20の詳細を第6図に示し、以下に説明する。

図中、21は減算器、22は入力信号の正負を判断する正負判定回路、23はセレクタ、24はANDゲート、25a〜25dは重み付け回路である。

さて、減算器21においては、2値化処理前の信号355

と2値信号を500を255倍した値との差分(誤差)を算出する。

すなわち、

$$(\text{誤差}) = (\text{信号355}) - 255 \times (\text{信号500})$$

この算出された値は正負判定回路22及びセクタ23に出力される。

正負判定回路22では入力されたデータ(算出値)が正ならば“0”、負ならば“1”を出力する。ANDゲート24では正負判定回路22からの信号と信号200(エッジ検出回路5よりの信号)との論理積がとられ、その結果がセクタ23に出力される。すなわち、2値化回路6内の比較器18で2値化する以前の注目画素の誤差加算済みデータが対応する出力データ×255以下であつて、その注目画素がエッジ部にあるときにANDゲート24の出力は“1”になり、それ以外のときには“0”になる。

セクタ23は、このANDゲート24の出力が“1”であれば信号600(論理レベルが“0”)を選択し、“0”であれば減算器21からの減算結果(誤差)を選択し、重み付け回路25a~25dに出力する。

ここで、重み付け回路25a~25dは注目画素位置(i, j)に対して、周辺画素位置(i+1, j+1), (i, j+1), (i-1, j+1)に対応していて、それら周辺画素位置への重み付け係数でもって配分するものである。

具体的には、重み付け回路25a, 25cはセクタ23の出力である誤差量の1/6を算出して信号351, 353に出力し、重み付け回路25b, 25dは誤差量の1/3を算出して信号352, 354に出力する。勿論、ANDゲート24の出力が“1”であるときには、信号600が選択されるので各々の周辺画素への誤差配分量は“0”になる。

以上の処理でもって、エッジ部での負の誤差量を周囲の画素に配分しないことにより、エッジ部の濃度の低い部分で発生していた“ドットが打たれず白く抜ける現象”を防止できる様になる。

尚、重み付け回路25a~25dにおける重み付け係数を1/6や1/3としたが、これに限定されるものではなく、任意に変更しても構わない。例えば、 $1/2^m$ ($m=0, 1, 2, \dots$) とすれば、簡単なシフト回路でもって達成でき、処理速度も向上させることが可能となる。

< 閾値設定回路の説明(第7図) >

第7図に実施例における閾値設定回路の構造の一例を示し、以下にその動作を説明する。

図中、26は閾値群を格納しているROMであつて、クロックに同期して-127~+127までの値を1個ずつ出力する。また、振幅制御回路27では信号100(ラインメモリ4よりの出力データ)の値に応じてROM26から出力された閾値の値を制御する。具体的には、信号100の値に応じて次表に示す値(AL)をROM26から出力された値に乘以、その結果を信号150として出力する。

表

信号100	AL
0	0
1以上5以下	1.0
6 // 10以下	0.8
11以上20以下	0.5
21 // 30 //	0.2
31 // 255以下	0.1

信号150は加算器28において信号160(=固定値“127”)と加算され、信号170として出力される。

さて、信号170上の加算結果は次のセクタ29の一方の入力端子に出力され、他方には信号160が入力されている。そして、これら2つの信号(データ)の1つをエッジ検出回路5よりの検出信号200でもって検出信号200で選択し、閾値データとして信号300に出力する。すなわち、検出信号200が“0(非エッジ部)”である場合には、加算結果である信号170を閾値信号300として出力し、“1(エッジ部)”であるときには、固定値“127”閾値信号300として出力する。

以上のような制御を行うことにより、略一様な濃度の低い部分において、ある確率で小さな閾値を発生させる事ができる。これにより、画像濃度の低い部分において、ドットが打たれず白く抜けていた現象を防止することができる。

また、エッジ部のあるときには固定閾値が選択される、すなわち、閾値変動及び小さな閾値を発生することともなくなるので、文字線画等のエッジ部でドットが打たれる現象(文字部周辺のノッチ)を除去することが可能となる。

尚、ここではROM26に格納されている値は-127から127までのデイズ信号としたが、これは-127から127までの一様乱数でもよく、上記の例に限らない。またALの値(但しALの値を0以上1以下)は濃度の低い部分ではALの値を大きく、濃度の低い部分ではALの値を小さく設定してあればこの表の値に限らない。また信号100を6段階に分割しているが、これも任意の分割数でよく、上記の例に限らない。さらに乗算回路の規模を小さくするためにALの値を2のべき乗、あるいは2のべき乗の和で表現できる値にしてもよい。

< 判定回路の説明(第8図) >

次に第8図を用いて実施例の判定回路8を説明する。

図中、34は比較器、30及び31はラインメモリ(FIFO)、32はOR回路、33はNANDゲートである。

2値信号500はラインメモリ31に入力されると同時にラッチされる。またラインメモリ31から読み出された信号もラインメモリ30に入力されると同時にラッチされる。つまり、今から処理しようとする注目画素の位置を

(i, j) とすると、各々のフリツプフロツプ (F/F) にはその回りの画素位置、

($i-2, j-2$), ($i-1, j-2$), ($i, j-2$), ($i+1, j-2$), ($i+1, j-2$), ($i-2, j-1$), ($i-1, j-1$), ($i, j-1$), ($i+1, j-1$), ($i+2, j-1$), ($i-2, j$), ($i-1, j$) の12画素分の2値化済データがラッチされることになる。ラッチされた12画素分のデータはOR回路32に入力される。ここで12画素分のデータの論理和がとられ、結果が信号520として出力される。補正済信号100は比較器29 10に入力されて、閾値 $D=30$ と比較され、信号100が閾値 D よりの大きいならば、“0”、小さいならば“1”が信号510として出力される。そして、信号510と信号520はNANDゲートに入力され、その結果が信号400 (判定回路8の判定結果) として出力される。

この結果、濃度の低い部分においては、ドットの打たれた周囲にはドットが打たれない様になることが可能となる。つまり、極端に近接してドット同士が打たれたり、離れて打たれたりすることがなくなり、濃度の低い部分において発生していたノイズ感を減少させる事ができる様になる。

<第2の実施例の説明(第9図～第13図)>

第9図は上述した第1の実施例のエッジ検出回路5と2値化回路6と判定回路8の一部を変更した場合のブロック図である。尚、以下の説明に先立ち、第1の実施例と重複する箇所(同符号部等)の説明は省略する。

さて、この構成における処理概略を説明すると以下の如くである。

エッジ検出回路40では第1の実施例と同様にエッジ検出信号200を閾値設定回路7に出力すると共に、注目画素(i, j)と画素位置($i+1, j$)、注目画素(i, j)と画素位置、($i-1, j+1$)、注目画素(i, j)と画素位置、($i, j+1$)、注目画素(i, j)と画素位置、($i+1, j+1$)の個々の画素間のエッジ判定が行われ、それぞれの結果が信号201～204として2値化回路41に出力される。

2値化回路41では、注目画素に配分される誤差の総和と信号100(注目画素の濃度データ)の和を閾値 T で2値化し、その結果と判定信号400によつて、2値出力信号500を出力する。また2値化回路41では2値化のとき 40に発生した誤差の正負判定を行い、信号201～204とその判定の結果によつて周囲の画素に配分する誤差の量を決定する。

第10図はエッジ検出回路40のブロック図である。図中、10a～10e、11a～11dそして12a～12dは第2図に示したものと同一である。43a～43dは入力信号を閾値 T_1 ～ T_4 (ここでは“50”としている)と比較する比較器である。さて、絶対値回路12a～12dから出力された値はそれぞれ閾値 T_1 ～ T_4 と比較され、入力信号が閾値 T よりも大きければ“1”、小さければ“0”が信号201～204としてそ 50

れぞれ出力される。また、これらの信号の論理和をORゲート44でとり、その結果を信号200としている。

このような構成にすることにより画素単位でエッジ検出ができる。その結果、エッジのない部分の負の誤差はそのまま配分されるので、濃度平坦部での濃度の上昇を防止できる。

第11図は2値化回路41のブロック図であつて、先の第1の実施例と異なるのは、誤差配分制御回路44である。

本第2の実施例の誤差配分制御回路44では2値化処理前の信号355と2値信号500を255倍した値との差分(誤差)が計算され、その誤差の正負とエッジ信号201～204により周囲の画素に配分する誤差量信号351～354を制御する。誤差量信号351～354は注目画素位置を(i, j)としたときの画素位置($i-1, j+1$), ($i, j+1$), ($i+1, j+1$), ($i+1, j$)の既に配分済誤差量と加算される。尚、ここでは誤差を配分する画素数を注目画素の周囲4画素としているが、周囲12画素でもよく上記に限らない。

第12図に、この誤差配分制御回路44のブロック構成図を示す。

減算器21において2値データ500を255倍した値と2値処理前のデータ355の差分がとられ、その結果は正負判定回路22と重み付け回路25a～25dに入力される。正負判定回路22では入力されたデータが正ならば“0”、負ならば“1”を出力する。AND回路46a～46dでは正負判定回路22からの信号と信号201～204のそれぞれの論理積がとられ、その結果がセレクト47a～47dに出力される。

セレクト47aではAND回路46aからの信号が“1”であれば信号600(=0)を、“0”であれば重み付け回路25aからの信号を選択し、信号351として出力する。セレクト47b～セレクト47dにおいても同様で、各々のセレクトに 30入力されるANDゲートからの信号が“0”であれば、重み付け回路25b～25dの値を選択し出力し、“1”であれば信号600(=“0”)を選択する。そして、これらは信号351と同様に信号352～354として出力されることになる。

上記のような構成で、エッジ部で負の誤差量を周囲の画素に配分しないことにより、エッジ部の濃度の低い部分で発生していた画像の欠ける現象を防止できる。また上記構成により注目画素と誤差が配分される個々の画素とのエッジの判定ができ、その結果、エッジのない部分において負の誤差をカットする(つまり、正の誤差を加える)ことがなくなるので、平坦部での濃度の上昇防止 40できる。

第13図に、本第2の実施例における判定回路42のブロック構成図を示す。

2値信号500はラインバツファ31に入力されると同時にラッチされ、またラインバツファ31から読み出された信号もラインバツファ30に入力されると同時にラッチされる。つまり、今から処理しようとする注目画素の位置を(i, j)とすると、各々のラッチにはその回りの画素

位置、

($i-2, j-2$), ($i-1, j-2$), ($i, j-2$),
($i+1, j-2$), ($i+2, j-2$), ($i-2, j-1$),
($i-1, j-1$), ($i, j-1$), ($i+1, j-1$),
($i+2, j-1$), ($i-2, j$), ($i-1, j$)
の12画素の2値化済データが保持されることになる。

OR回路48では画素位置、

($i-1, j-1$), ($i, j-1$), ($i+1, j-1$),
($i-1, j$)

の4画素分の2値化済データのORがとられ、その結果として信号620が出力される。

また、OR回路49では画素位置、

($i-2, j-2$), ($i-1, j-2$), ($i, j-2$),
($i+1, j-2$), ($i+2, j-2$), ($i-2, j-1$),
($i+2, j-1$), ($i-2, j$)

の8画素分の2値化済データの論理和がとられ、その結果として信号630が出力される。

LUT (ルックアップテーブル) 49では入力された補正済信号100に応じて3レベルの切替信号610が出力される。切替信号610は、補正済信号100が1以上20以下のとき“1”、21以上50以下のとき“2”、51以上または0のとき“0”としている。

選択的OR回路50ではLUT49から出力された切替信号610に応じ、その切替信号610が“0”ならば“0”を、“2”ならば信号620 (OR回路48の出力) の値を、“1”ならば信号620と信号630 (OR回路49の出力) のORをとったものを判定信号400として出力する。

例えば、補正済信号100の値が“36”ならば切替信号610は“2”となる。そしてこのとき信号620が“0”で信号630が“1”であるならば判定信号400は“0”となる。

換言すれば、補正済信号100の値に対して参照する領域を3段階 (つまり注目画素の周囲を全く調べないか、周囲4画素分調べるか、周囲12画素分調べるかの3段階) に設定することになる。尚、必要に応じてラインバツファ、ラッチ、OR回路を増やすことにより、参照する領域を多段階に設定することができる。

因に、4段階にする場合は以下のように考えれば良い。また、処理しようとする注目画素の位置を (i, j) とする。

そして、その回りの画素位置、

($i-3, j-3$), ($i-2, j-3$), ($i-1, j-3$), ($i, j-3$), ($i+1, j-3$), ($i+2, j-3$), ($i+3, j-3$), ($i-3, j-2$), ($i-2, j-2$), ($i-1, j-2$), ($i, j-2$), ($i+1, j-2$), ($i+2, j-2$), ($i+3, j-2$), ($i-3, j-1$), ($i-2, j-1$), ($i-1, j-1$), ($i, j-1$), ($i+1, j-1$), ($i+2, j-1$), ($i+3, j-1$), ($i-3, j$), ($i-2, j$), ($i-1, j$)

の24画素分の2値化済データを保持するのに必要なラインバツファとラッチがあるとす。そして3個のOR回路

a~cと選択的OR回路dを1個持つとする。このとき、OR回路aでは画素位置 ($i-1, j-1$), ($i, j-1$), ($i+1, j-1$), ($i-1, j$) の4画素分の2値化済データの論理和がとられ、その結果として信号eが出力される。また、OR回路bでは画素位置 ($i-1, j-2$), ($i-1, j-2$), ($i, j-2$), ($i+1, j-2$), ($i+2, j-2$), ($i-2, j-1$), ($i+2, j-1$), ($i-2, j$) の8画素分の2値化済データの論理和がとられ、その結果として信号fが出力される。そして、OR回路cでは、画素位置 ($i-3, j-3$), ($i-2, j-3$), ($i-1, j-3$), ($i, j-3$), ($i+1, j-3$), ($i+2, j-3$), ($i+3, j-3$), ($i-3, j-2$), ($i+3, j-2$), ($i-3, j-1$), ($i+3, j-1$), ($i-3, j$) の12画素分の2値化済データの論理和がとられ、その結果として信号gが出力される。

選択的OR回路dでは、補正済信号100が21以上50以下ならば信号eを、補正済信号100が11以上20以下ならば信号eと信号fの論理和をとった結果を、補正済信号100が1以上10以下ならば信号eと信号fと信号gの論理和をとった結果を、そして、補正済信号100が51以上または0ならば“0”を判定信号として出力するようにすれば良い。尚、補正済信号100のレベルを1以上10以下、11以上20以下、21以上50以下、51以上または0の4段階にとつてあるが、これはほんの一例であつて、これ以外の段階の取り方であつても全く構わない。

以上説明した様に本実施例によれば、低濃度部での白ぬけ及び粒状感を抑え、しかも、エッジ部における再現性を良好にすることが可能となる。

特に、エッジ部 (正確にはエッジ部の濃度の薄い箇所) にドットが打たれてしまうことがなくなるので、文字線画等が混在した画像も良好に再現できることになる。

また、入力画素濃度に応じて閾値の大きさを制御することにより、画像の処理始めにおいて閾値が大きすぎるためにドットが打たれずに白く抜ける現象を防止できる。

尚、実施例では複写機に応用した場合を説明したが、これに限定されるものではない。

また、カラー画像に対しては本実施例に示した回路を所定色分持つことで実現できる。

【発明の効果】

以上説明したように本発明によれば、2値化処理によって発生する入出濃度間の誤差データを補正しながら入力画素データを2値化することにより、階調性及び解像度共に優れた画像を得ることができると共に、2値化のための閾値を、エッジ部以外では入力画像データのレベルが低い場合に低い閾値を発生しやすい変動閾値とすることにより、画像濃度の低い部分でドットが打たれずに白く抜ける減少を防止し、エッジ部では固定閾値とすることで文字部でのノッチの発生を防止することができる

ようになる。

【図面の簡単な説明】

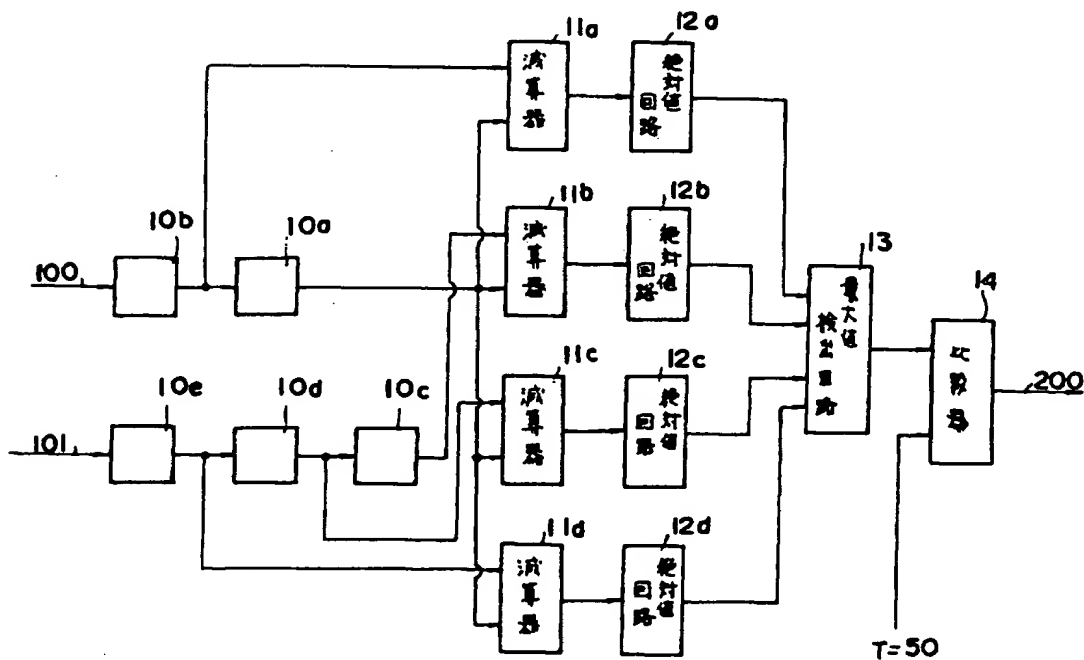
第1図は本実施例における複写機の全体ブロック構成図、
第2図は実施例におけるエッジ検出回路のブロック構成図、
第3図及び第4図は注目画素とエッジ検出をする画素との位置関係を示す図、
第5図は実施例における2値化回路のブロック構成図、
第6図は第5図中の誤差配分制御回路のブロック構成図、
第7図は実施例における閾値設定回路のブロック構成図、
第8図は実施例における判定回路のブロック構成図、

第9図は第2の実施例における複写機の全体ブロック構成図、
第10図は第2の実施例におけるエッジ検出回路のブロック構成図、
第11図は第2の実施例における2値化回路のブロック構成図、
第12図は第11図における誤差配分制御回路のブロック構成図、
第13図は第2の実施例における判定回路のブロック構成図である。

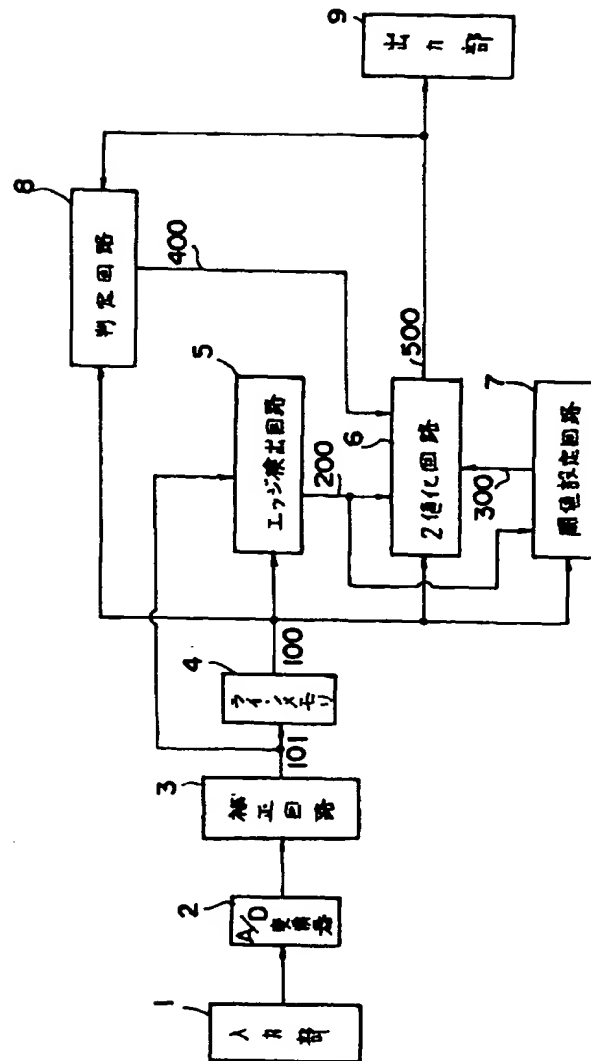
図中、1……入力部、2……A/D変換機、3……補正回路、4……ラインメモリ、5……エッジ検出回路、6……2値化回路、7……閾値設定回路、8……判定回路、9……出力部である。

10

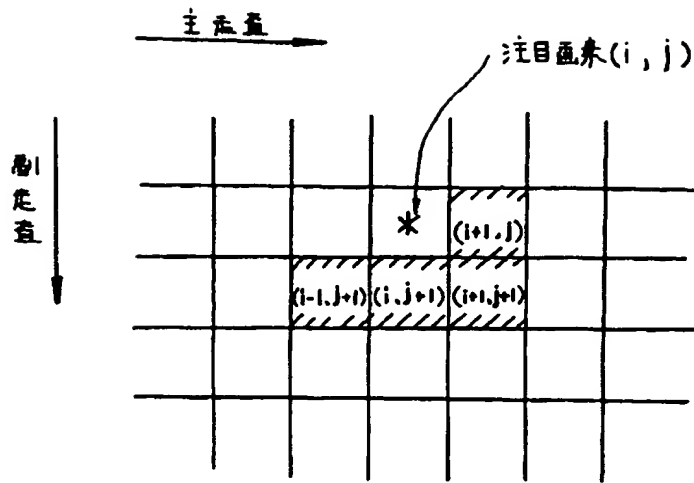
【第2図】



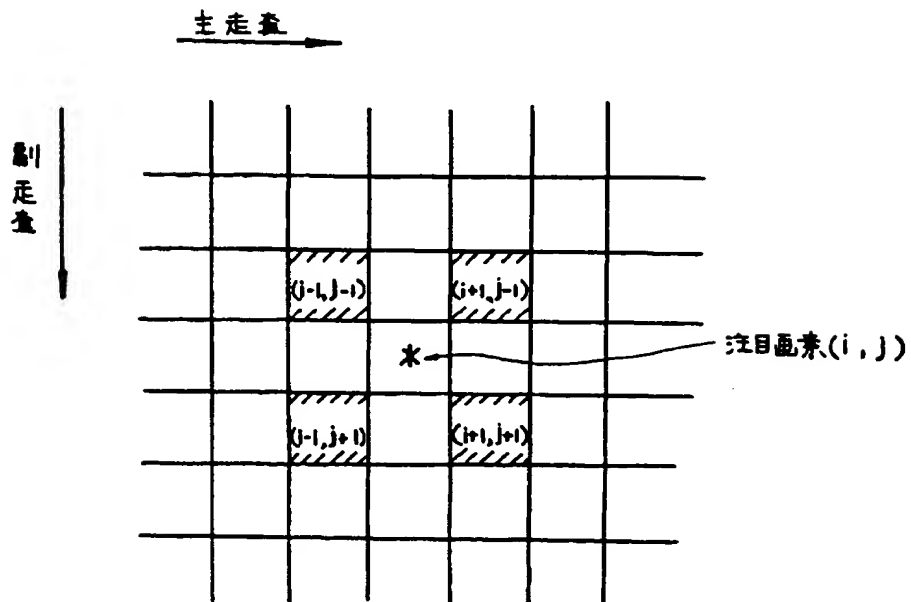
【第1図】



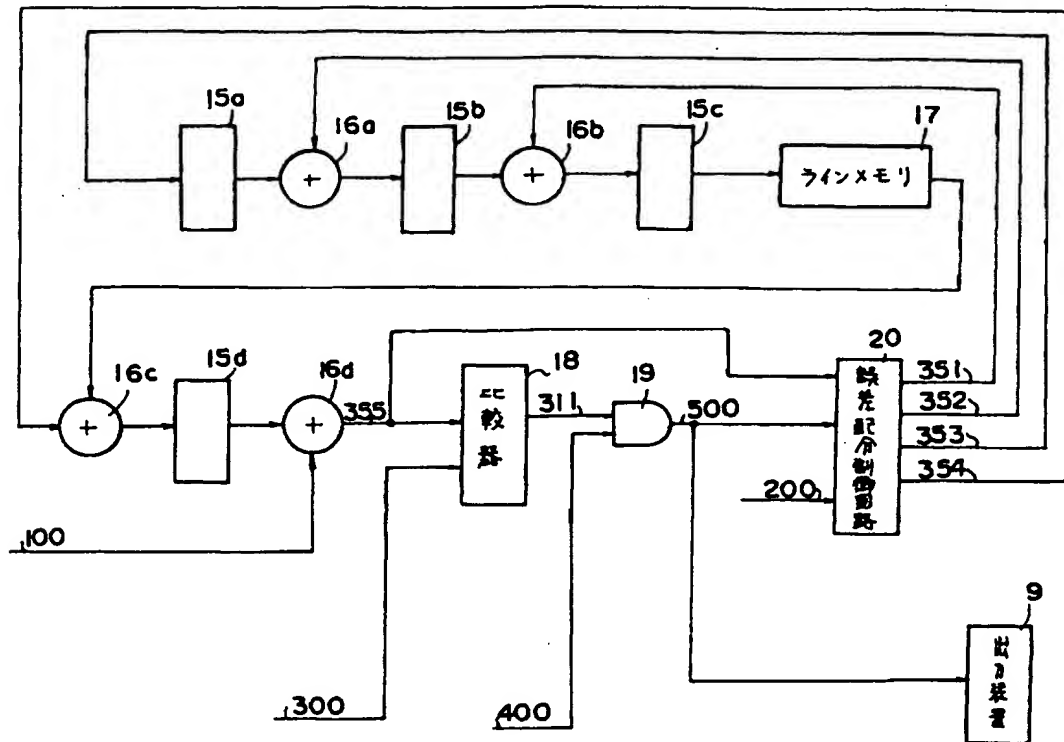
【第3図】



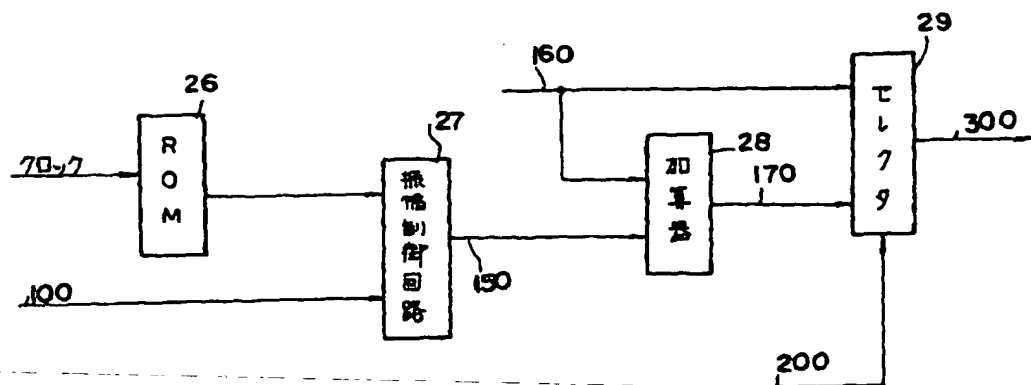
【第4図】



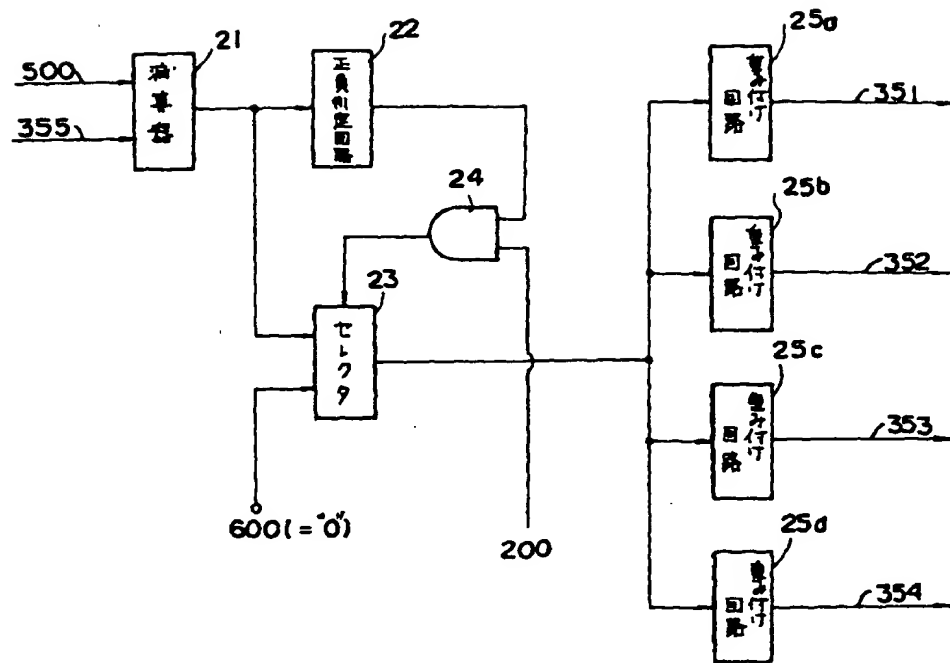
【第5図】



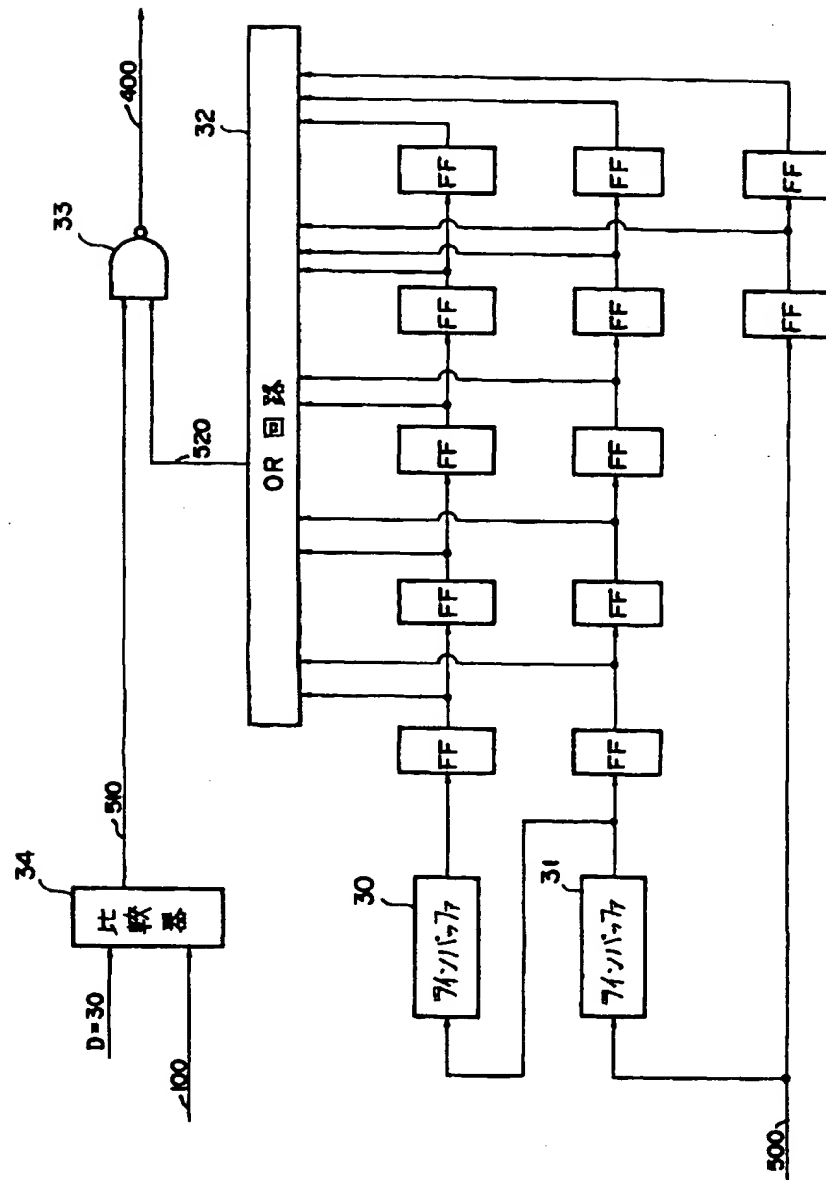
【第7図】



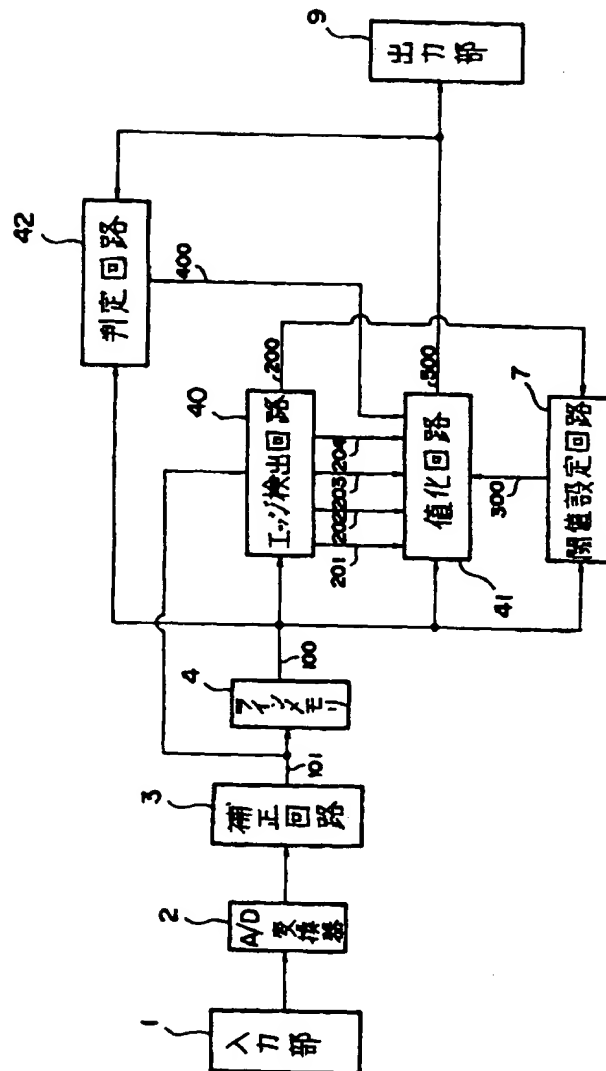
【第6図】



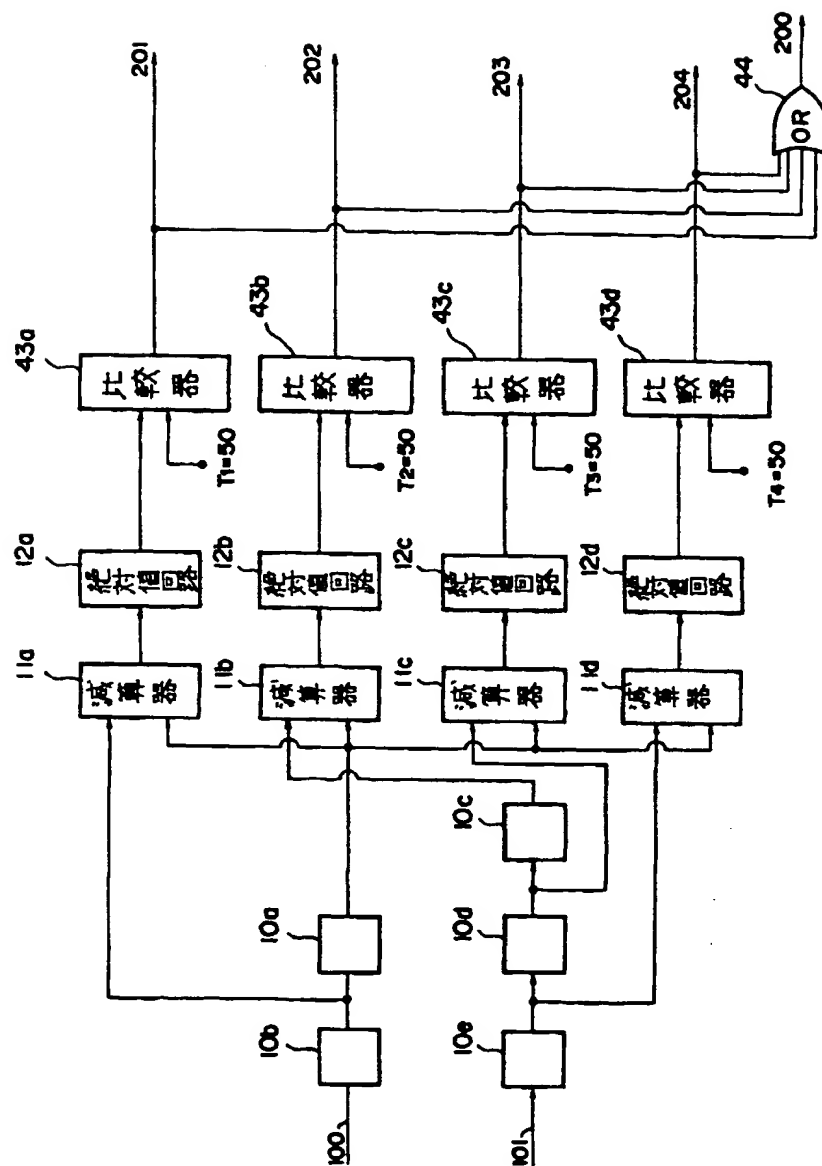
【第8図】



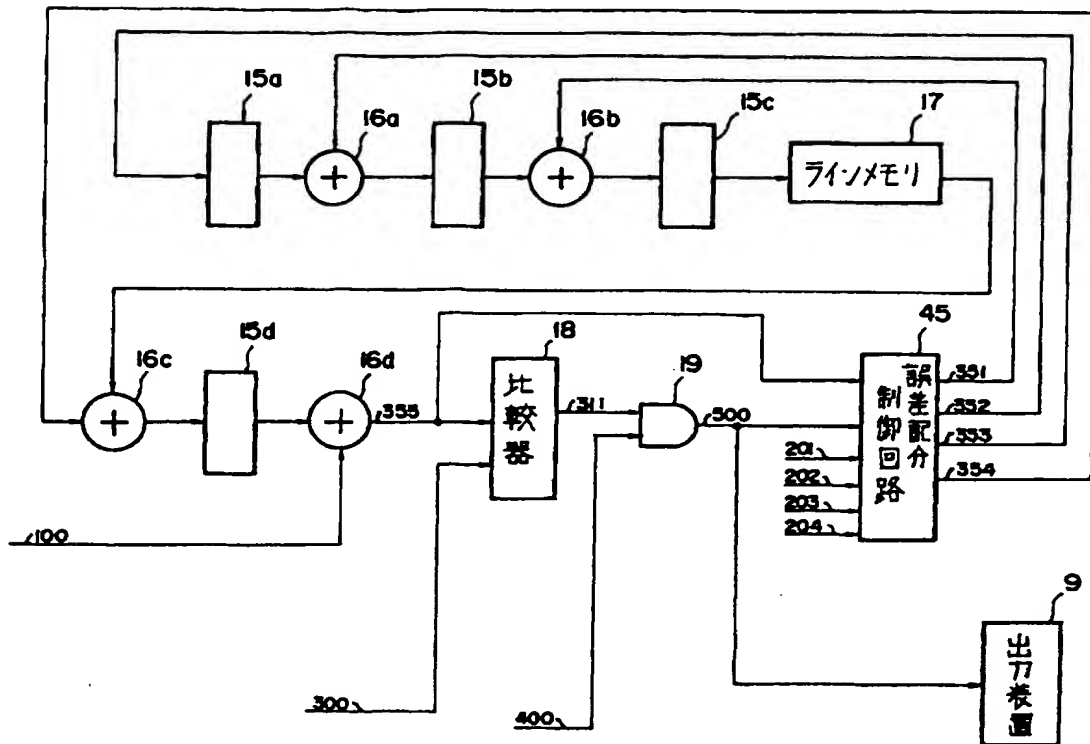
【第9図】



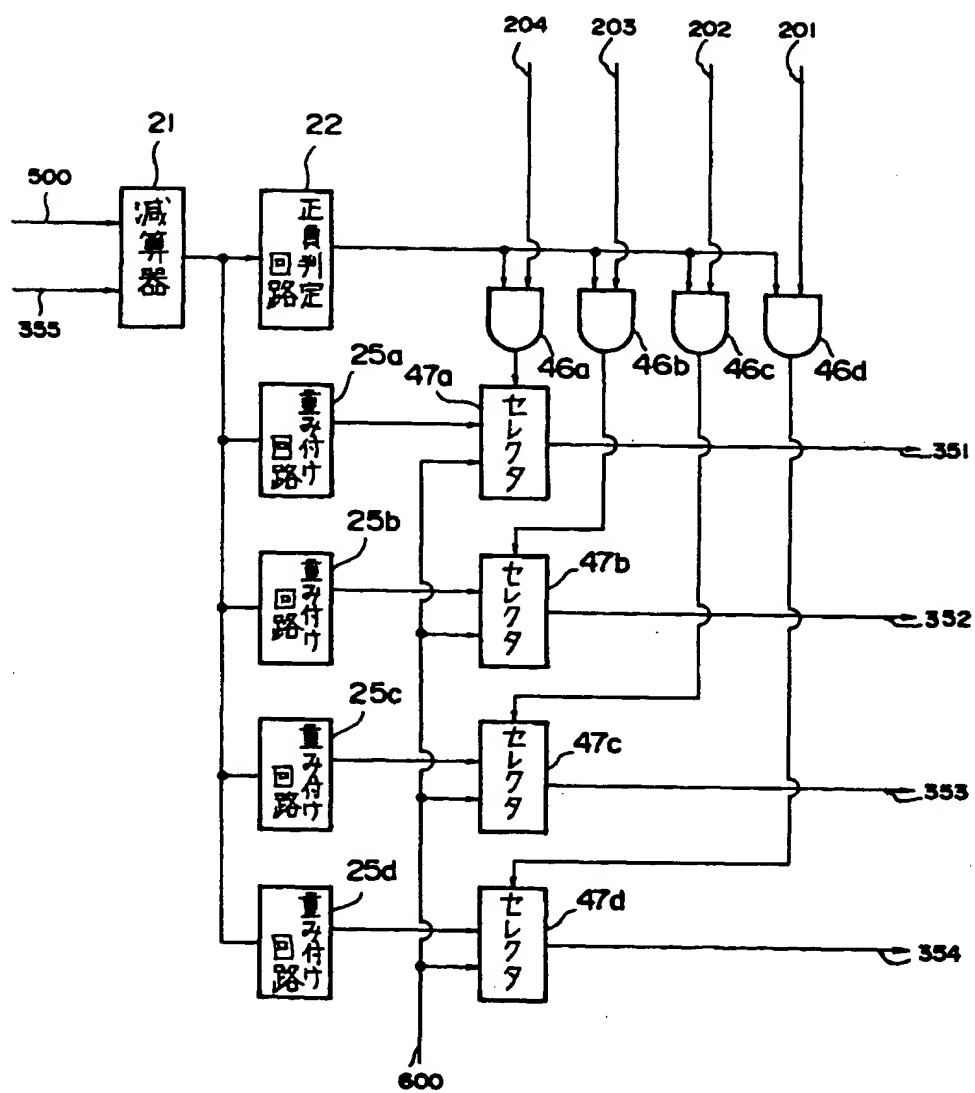
【第10図】



【第11図】



【第12図】



【第13図】

